

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-047299

(43)Date of publication of application : 16.02.1996

(51)Int.Cl.

H02P 8/02

H03K 17/695

H03K 17/687

(21)Application number : 06-176937

(71)Applicant : SEIKOSHA CO LTD

(22)Date of filing : 28.07.1994

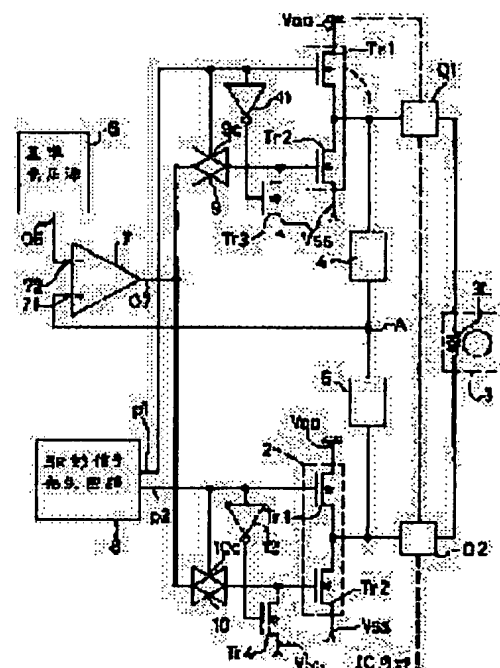
(72)Inventor : NAKAMURA HIDEYUKI

(54) LOAD DRIVE CIRCUIT

(57)Abstract:

PURPOSE: To drive a load with a stable drive voltage regardless of the fluctuation in a power supply voltage.

CONSTITUTION: Impedance elements 4 and 5 connected in series are connected in parallel to a motor 3 and a comparison circuit 7 compares the voltage of a connection point A of each impedance element with a reference voltage and generates an output voltage corresponding to the difference. A drive signal generation circuit 8 alternately applies first and second drive signals to the gate of a first MOS transistor TR1 of first and second series circuits to drive the motor. A first switching circuit 9 and a second switching circuit 10 are turned on by the first and second drive signals, the output voltage of the comparison circuit 7 is applied to the gate of a second MOS transistor of the first and second series circuits, thus retaining the drive voltage of the motor 3 at a desired value.



LEGAL STATUS

[Date of request for examination] 28.03.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2838765

[Date of registration] 16.10.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-47299

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 2 P 8/02

H 0 3 K 17/695

17/687

H 0 2 P 8/00

3 0 5 A

9184-5K

H 0 3 K 17/687

B

審査請求 未請求 請求項の数 2 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平6-176937

(22) 出願日

平成6年(1994)7月28日

(71) 出願人 000002381

株式会社精工舎

東京都中央区京橋2丁目6番21号

(72) 発明者 中村 秀行

東京都墨田区太平四丁目1番1号 株式会
社精工舎内

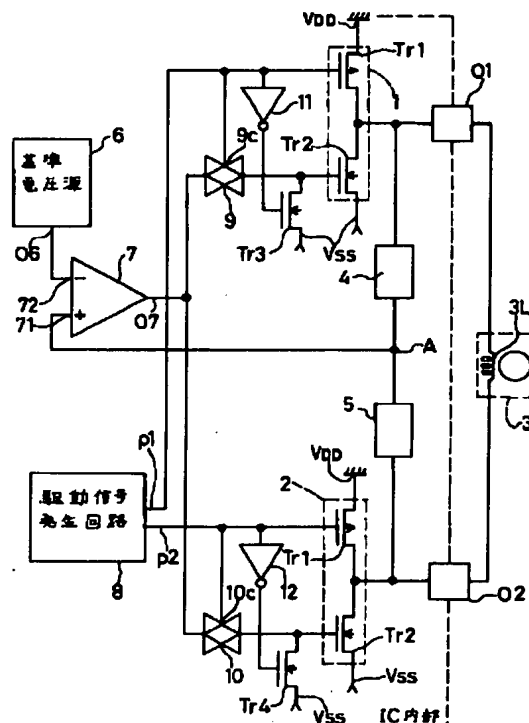
(74) 代理人 弁理士 松田 和子

(54) 【発明の名称】 負荷の駆動回路

(57) 【要約】 (修正有)

【目的】 電源電圧の変動によらず安定した駆動電圧にて負荷を駆動する。

【構成】 モータ3に並列に、直列に接続されたインピーダンス素子4、5を接続してあり、比較回路7はこれら各インピーダンス素子の接続点Aの電圧と基準電圧とを比較し、その差に応じた出力電圧を発生する。駆動信号発生回路8は第1、第2の直列回路それぞれの第1のMOSトランジスタTr1のゲートにそれぞれ第1の駆動信号、第2の駆動信号を交互に印加してモータを駆動する。第1のスイッチング回路9、第2のスイッチング回路10はそれぞれ第1の駆動信号、第2の駆動信号により、オンとなり、比較回路7の出力電圧をそれぞれ第1、第2の直列回路の第2のMOSトランジスタのゲートに印加し、これによりモータ3の駆動電圧を所望の値に保持する。



【特許請求の範囲】

【請求項 1】 互いに異なる導電型の第 1 および第 2 の MOS トランジスタのドレイン同士を接続してなる第 1 の直列回路を第 1 の電源端子と第 1 の電源端子と異なる電位の第 2 の電源端子との間に接続し、第 1 の直列回路と同様の構成の第 2 の直列回路を第 1 の電源端子と第 2 の電源端子との間に接続し、第 1 の直列回路のドレイン接続点と第 2 の直列回路のドレイン接続点との間に接続した負荷と、

直列接続した一对のインピーダンス素子を上記負荷に並列に接続し、上記各インピーダンス素子の接続点の電圧と基準電圧とを比較してしてその差に応じた出力を発生する比較回路と、

第 1 の直列回路の第 1 の MOS トランジスタを駆動する第 1 の駆動信号と第 2 の直列回路の第 1 の MOS トランジスタを駆動する第 2 の駆動信号とを交互に発生する駆動信号発生回路と、

第 1 の駆動信号によってオンとなり、上記比較回路の出力を第 1 の直列回路の第 2 の MOS トランジスタのゲートに供給する第 1 のスイッチング回路と、

第 2 の駆動信号によってオンとなり、上記比較回路の出力を第 2 の直列回路の第 2 の MOS トランジスタのゲートに供給する第 1 のスイッチング回路とを具備したことを特徴とする負荷の駆動回路。

【請求項 2】 第 1 の駆動信号が発生されない期間、第 1 の直列回路の第 2 の MOS トランジスタのゲートを特定電位に接続する第 3 のスイッチング回路と、第 2 の駆動信号が発生されない期間、第 2 の直列回路の第 2 の MOS トランジスタのゲートを特定電位に接続する第 4 のスイッチング回路とを具備したことを特徴とする請求項 1 記載の負荷の駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は負荷の駆動回路、特にステップモータ等の駆動回路に関するものである。

【0002】

【従来の技術】 現在、アナログ電子時計では、指針を駆動する時計ムーブメントの動力としてパルス駆動されるモータを用いており、例えば、1 秒毎に極性の変わる駆動パルスにより、ロータを 1 秒間に 180 度回転するもの等がある。このようなモータ等の負荷を駆動する駆動回路には次のようなものがある。

【0003】 例えば、図 5 に示すように、CMOS 構成のインバータ i_1 、 i_2 を電源端子 VDD、VSS の間に接続し、これらインバータ i_1 、 i_2 の互いの出力端子 o_1 、 o_2 の間にモータ m のコイル L を接続してあり、駆動信号発生回路 g により電位レベルの異なる駆動信号をインバータ i_1 、 i_2 の入力端子 in_1 、 in_2 に交互に印加することによりモータ m を駆動するものである。

例えば、インバータ i_1 にの入力端子に “H”、インバ

ータ i_2 のそれに “L” を印加すると、図 3 の矢印 c に示す向きに駆動電流が流れる。すなわち、インバータ i_1 、 i_2 の入力端子 in_1 、 in_2 にそれぞれ図 6 の in_1 、 in_2 に示すように交互にパルスを印加すると、モータ m のコイル L の端子間には同図 $o_1 - o_2$ に示すような極性の異なる駆動パルスが印加され、双方向に駆動電流が流れる。ここでは便宜上、図 5 の矢印 c の方向を正としてある。

【0004】

【発明が解決しようとする課題】 このようなものでは、モータ m のコイル L の端子間に印加される駆動電圧は電源電圧にほぼ等しくなっているため、電源電圧の変化により駆動電流にも変化が生じてしまう。例えば、電源として電池を用いる時計等の装置では、電源電圧は一般に使用前では 1.6 v 程度であるが、使用時間を経るに従い徐々に低くなり 1.2 v 程度まで低下し、これにともない駆動電圧も低下するので安定してモータを駆動することが難しい。

【0005】 そこで、本発明の目的は、電源電圧の変動によらず安定した駆動電圧にて負荷を駆動し得る負荷の駆動回路を提供することにある。

【0006】

【課題を解決するための手段】 互いに異なる導電型の第 1 および第 2 の MOS トランジスタのドレイン同士を接続してなる第 1 の直列回路を第 1 の電源端子と第 1 の電源端子と異なる電位の第 2 の電源端子との間に接続する。この第 1 の直列回路と同様の構成の第 2 の直列回路を第 1 の電源端子と第 2 の電源端子との間に接続し、第 1 の直列回路のドレイン接続点と第 2 の直列回路のドレイン接続点との間に負荷を接続する。さらに、直列接続した一对のインピーダンス素子を上記負荷に並列に接続し、上記各インピーダンス素子の接続点の電圧と基準電圧とを比較してしてその差に応じた出力を発生する比較回路と、第 1 の直列回路の第 1 の MOS トランジスタを駆動する第 1 の駆動信号と第 2 の直列回路の第 1 の MOS トランジスタを駆動する第 2 の駆動信号とを交互に発生する駆動信号発生回路と、第 1 の駆動信号によってオンとなり、上記比較回路の出力を第 1 の直列回路の第 2 の MOS トランジスタのゲートに供給する第 1 のスイッチング回路と、第 2 の駆動信号によってオンとなり、上記比較回路の出力を第 2 の直列回路の第 2 の MOS トランジスタのゲートに供給する第 1 のスイッチング回路とを設けることにより、上記目的を達成する。

【0007】 また、第 1 の駆動信号が発生されない期間、第 1 の直列回路の第 2 の MOS トランジスタのゲートを特定電位に接続する第 3 のスイッチング回路と、第 2 の駆動信号が発生されない期間、第 2 の直列回路の第 2 の MOS トランジスタのゲートを特定電位に接続する第 4 のスイッチング回路とを設けることが好ましい。

【0008】

【実施例】次に、本発明の一実施例の負荷の駆動回路を説明する。図 1 は本例の構成を示す電気回路図であり、同図において、Tr 1 は P チャンネル型の第 1 の MOS トランジスタであり、Tr 2 は N チャンネル型の第 2 の MOS トランジスタである。

【0009】1、2 はそれぞれ、第 1 の直列回路、第 2 の直列回路であり、ともに、第 1 の MOS トランジスタ Tr 1 および第 2 の MOS トランジスタ Tr 2 の互いのドレインを接続してなり、第 1 の電源端子 VDD、第 2 の電源端子 VSS との間に接続されている。第 1 の直列回路 1、第 2 の直列回路 2 はそれぞれの第 1 の MOS トランジスタ Tr 1、第 2 の MOS トランジスタ Tr 2 の互いのドレインの接続点にそれぞれ出力端子 O 1、O 2 を接続してある。なお、第 1 の電源端子 VDD は接地され、以下に述べる各端子の電圧これを基準としてある。例えば、第 2 の電源端子 VSS は -1.5 v である。

【0010】3 は負荷としてのモータであり、そのコイル 3 L を第 1 の直列回路 1 の出力端子 O 1 と第 2 の直列回路 2 の出力端子 O 2 との間に接続してある。

【0011】4、5 はインピーダンス素子であり、これらインピーダンス素子 4、5 は互いに直列に接続し、第 1 の直列回路 1 の出力端子 O 1 と第 2 の直列回路 2 の出力端子 O 2 との間にコイル 3 L と並列して接続してある。これらインピーダンス素子 4、5 の抵抗値は等しく設定されており、これらインピーダンス素子 4、5 の接続点の電圧は出力端子 O 1、O 2 間の中間電圧となる。また、これらインピーダンス素子としては、図 2 a に示すように、PN 接合ダイオード 4 1、4 2 を互いに逆向きかつ並列にしたもの、また、同図 b に示すように同図 a の PN 接合ダイオード 4 1、4 2 に代わり、ダイオード接続した MOS トランジスタ 4 3、4 4 を用いたもの等が使用できる。また、この他、抵抗を用いてもよく、IC の設計上、チップサイズや消費電流を考慮して最適のものを利用すればよい。

【0012】6 は基準電圧源であり、常に一定の基準電圧を発生する。ここで、基準電圧源 6 の詳細は図 3 a に示すとおりであり、カレントミラー回路 CM 1 を形成する一方の MOS トランジスタ TR 1 およびダイオード接続された MOS トランジスタ TR 2 を直列に接続し、この接続点に基準電圧の出力端子 O 6 を設け、また、もう一方の MOS トランジスタ TR 3 およびディプレッション型の MOS トランジスタ DT を直列に接続して構成される。ここで、基準電圧源 6 の動作について述べておくこととする。ディプレッション型の MOS トランジスタ DT はソース、ゲートを接続してあり、ドレイン電圧によらず一定の電流が流れる。この MOS トランジスタ DT に流れる電流値はカレントミラー回路 CM 1 によりミラー反転され、ダイオード接続された MOS トランジスタ TR 2 にもこれと等しい値の電流が流れるため、出力端子 O 6 からは一定の基準電圧が出力される。

【0013】7 は比較回路であり、正入力端子 7 1 にはインピーダンス素子 4、5 の接続点 A が接続され、負入力端子 7 2 には基準電圧源 6 の出力が接続されており、インピーダンス素子 4、5 の接続点 A の電圧と基準電圧とを比較してしてその差に応じた出力を発生するものである。比較回路としては様々なものを使用できるが、ここでは、例えば、図 3 b に示すようなものを用いることとする。その構成、動作について述べると、まず、P チャンネル型の MOS トランジスタ TR 4 のゲートは定電圧源 E に接続され、そのドレイン、ソース間電流は一定に保持されている。また、MOS トランジスタ TR 4 のドレインには、P チャンネル型の MOS トランジスタ TR 5 と N チャンネル型の MOS トランジスタ TR 6 を直列に接続して成る直列回路 7 3 と、P チャンネル型の MOS トランジスタ TR 7 と N チャンネル型の MOS トランジスタ TR 8 を直列に接続して成る直列回路 7 4 とが接続されている。ここで、MOS トランジスタ TR 5 のゲートは負入力端子 7 2 として用いられ、基準電圧が印加されており、MOS トランジスタ TR 6 との接続点には出力端子 O 7 が設けられてる。この MOS トランジスタ TR 6 は MOS トランジスタ TR 8 とともにカレントミラー回路 CM 2 を構成している。一方、MOS トランジスタ TR 7 のゲートは正入力端子 7 1 として用いられ、インピーダンス素子 4、5 の接続点 A の電圧が印加され、これに応じた電流が流れる。また、MOS トランジスタ TR 7 に流れる電流はミラー反転され、MOS トランジスタ TR 6 にも流れ、これにより、MOS トランジスタ TR 3 からの定電流を MOS トランジスタ TR 5 と MOS トランジスタ TR 6 とにより互いに引き合うこととなり、それに応じて出力端子 O 7 の電位も上下する。すなわち、出力端子 O 7 の出力電圧は、接続点 A の電圧が基準電圧に比べ低い場合、MOS トランジスタ TR 6 に流れる電流値も増加し、出力電圧は電源端子 VSS に引かれて低くなり、逆に、接続点 A の電圧が基準電圧に比べ高い場合、MOS トランジスタ TR 5 に流れる電流値は低下し、出力電圧は MOS トランジスタ TR 5 のドレインに引かれて高くなる。このようにして、比較回路 7 はインピーダンス素子 4、5 の接続点 A の電圧と基準電圧とを比較してしてその差に応じた出力を発生するものである。

【0014】8 は駆動信号発生回路であり、第 1 の直列回路 1 の第 1 の MOS トランジスタ Tr 1 を駆動する第 1 の駆動信号と第 2 の直列回路 2 の第 1 の MOS トランジスタ Tr 1 を駆動する第 2 の駆動信号とを交互にそれぞれ出力端子 p 1、p 2 より発生する。

【0015】9、10 はそれぞれ、第 1 のスイッチング回路、第 2 のスイッチング回路であり、アナログスイッチからなる。これら、第 1 のスイッチング回路 9、第 2 のスイッチング回路 10 は共に比較回路 7 の出力を受け、それぞれの出力端子は第 1 の直列回路 1、第 2 の直

列回路 2 の第 2 の MOS トランジスタ $T r 2$ のゲートに接続され、また、それぞれの制御端子 $9 c$ 、 $10 c$ はそれぞれ駆動信号発生回路 8 の端子 $p 1$ 、 $p 2$ に接続されており、これらの出力に応じてオン、オフされる。

【0016】 $T r 3$ 、 $T r 4$ はそれぞれ第 3、第 4 のスイッチング回路としての N チャンネル型の MOS トランジスタである。MOS トランジスタ $T r 3$ はソースを電源端子 VSS に、ドレインを第 1 の直列回路 1 の第 2 の MOS トランジスタ $T r 2$ のゲートに接続してあり、また、ゲートにはインバータ 11 を介して第 1 の駆動信号が印加される。また、MOS トランジスタ $T r 4$ はソースを電源端子 VSS に、ドレインを第 2 の直列回路 2 の第 2 の MOS トランジスタ $T r 2$ のゲートに接続してあり、また、ゲートにはインバータ 12 を介して第 2 の駆動信号が印加される。次に本例の動作について上記各図、図 4 の波形図を参照しながら説明する。

【0017】まず、モータ 3 の非駆動状態では、第 1、第 2 の駆動信号それぞれの出力端子 $p 1$ 、 $p 2$ を共に“L”としてある。これにより、第 1 の直列回路 1 および第 2 の直列回路 2 のそれぞれの第 1 の MOS トランジスタ $T r 1$ はオンとなり、モータ 3 のコイル 3 L の両端は同電位となり、モータ 3 は非駆動状態となる。なお、このとき、第 1 のスイッチング回路 9、第 2 のスイッチング回路 10 はともにオフとされ、第 3 のスイッチング回路 $T r 3$ 、第 4 のスイッチング回路 $T r 4$ はともにオンとなっており、第 1 の直列回路 1 および第 2 の直列回路 2 のそれぞれの第 2 の MOS トランジスタ $T r 2$ のゲートは電源端子 VSS の電位に接続され、第 2 の MOS トランジスタ $T r 2$ はオフとされる。

【0018】次にモータ 3 を駆動する場合は、図 4 p 1、p 2 に示すように、第 1 の駆動信号 $P 1$ 、第 2 の駆動信号 $P 2$ を交互に出力する。ここでは、まず、第 1 の駆動信号 $P 1$ を出力し出力端子 $p 1$ を“H”としたとすると、第 1 の直列回路 1 において、第 1 の MOS トランジスタ $T r 1$ はオフとなり、第 3 のスイッチング回路 $T r 3$ がオフとなることによって第 2 の MOS トランジスタのゲートが電源端子 VSS から遮断されるとともに、第 1 のスイッチング回路 9 がオンとなることにより、比較回路 7 の出力電圧が第 2 の MOS トランジスタ $T r 2$ のゲートに印加される。

【0019】これにより、第 2 の MOS トランジスタ $T r 2$ がオンとなり、第 2 の直列回路 2 の出力端子 $O 2$ から第 1 の直列回路 1 の出力端子 $O 1$ へ駆動電流が流れる。

【0020】今、図示しないが、電源として用いられる電池が使用して間もないもので電源端子 VDD 、 VSS 間の電源電圧がある値、例えば 1.5 v であるとする。このとき、コイル 3 L の両端に特定の電圧が印加され、インピーダンス素子 4、5 の接続点 A の電圧はある値になるが、これは比較回路 7 により設定される。比較回路 7 は

インピーダンス素子 4、5 の接続点 A の電圧、すなわち、コイル 3 L に印加される電圧の $1/2$ の電圧と基準電圧源 6 の発生する基準電圧とを比較しその差に応じた出力電圧を発生している。ここで、基準電圧源 6 の発生する基準電圧は、モータ 3 を駆動するのに最適な電圧を $V1$ としたとき、その $1/2$ の値 $V1/2$ だけ電源端子 VDD から低い値に設定されており、また、電源端子 VDD は接地してあり、接続点 A の電圧は電源端子 VDD を基準としてあり、このとき、比較回路 7 の出力する電圧はある値となり、この電圧により、第 1 の直列回路 1 の第 2 の MOS トランジスタ $T r 2$ のオン抵抗はある値に設定されることにより、接続点 A の電圧は $V1/2$ に設定され、コイル 3 L の両端に $V1$ が印加される。

【0021】ここで、電池の電圧が低下し、電源端子 VDD 、 VSS 間の電源電圧が例えば、 1.4 v に低下すると接続点 A の電圧が高くなろうとするが、上述したように比較回路 7 は出力する電圧を上げるように働くため、MOS トランジスタのオン抵抗が低くなり、出力端子 $O 1$ は電源端子 VSS 側に引かれ、接続点 A の電圧は $V1/2$ だけ電源端子 VDD から低い値に設定される。これにより、コイル 3 L の両端に印加される電圧は $V1$ に維持される。

【0022】なお、ここで、第 1 の MOS トランジスタ $T r 1$ のオン抵抗はインピーダンス素子 4、5 の抵抗値に比べ無視できる程度高い値に設定してある。

【0023】また、第 2 の駆動信号 $P 2$ を出力して出力端子 $p 2$ を“H”とした場合も、先に述べた第 1 の直列回路 1 の場合同様に、第 2 の直列回路 2 において、第 2 の MOS トランジスタ $T r 2$ はオフとなり、第 3 のスイッチング回路 $T r 4$ がオフとなることによって第 2 の MOS トランジスタのゲートが電源端子 VSS から遮断される。これとともに、第 2 のスイッチング回路 10 がオンとなることにより、比較回路 7 の出力電圧が第 2 の直列回路 2 の第 2 の MOS トランジスタ $T r 2$ のゲートに印加され、第 2 の直列回路 2 の第 2 の MOS トランジスタ $T r 2$ がオンとなり、第 1 の直列回路 1 の出力端子 $O 1$ から第 2 の直列回路 2 の出力端子 $O 2$ に駆動電流が流れる。このときも比較回路 7 の動作により、モータ 3 の駆動電圧は所望の値 $V1$ に保持される。

【0024】すなわち、図 4 p 1、p 2 に示すように、第 1 の駆動信号 $P 1$ 、第 2 の駆動信号 $P 2$ を交互に出力すると、同図 $O 1-O 2$ に示すようにモータ 3 のには所望の値 $V1$ に保持された駆動電圧が供給される。なお、図 4 $O 1-O 2$ では、便宜上、第 1 の直列回路 2 の出力端子 $O 1$ から第 2 の直列回路 2 の出力端子 $O 2$ へ流れる電流を正としてある。

【0025】上述したように、比較回路 7 は、モータ 3 のコイル 3 L に並列に、直列に接続されたインピーダンス素子 4、5 を接続し、その接続点 A の電圧を第 1 の電源端子 VDD から駆動電圧の $1/2$ の値だけ低い電圧に設

7

定された基準電圧と比較するため、電源電圧がモータ 3 の駆動に最適な値 V_1 程度に低下しても、基準電圧自体が大きく影響されることなく、常に比較回路 7 はその基準電圧下で動作し、モータ 3 の駆動電圧は所望の値 V_1 に保持することが可能である。

【0026】また、常に一定の駆動電圧が得られるため、消費電流も抑えることが可能となる。また、いうまでもないが、モータ 3 のコイル 3L に並列に、直列に接続されたインピーダンス素子 4、5 を接続してあるので、インピーダンス素子 4、5 による消費電流は抑えら

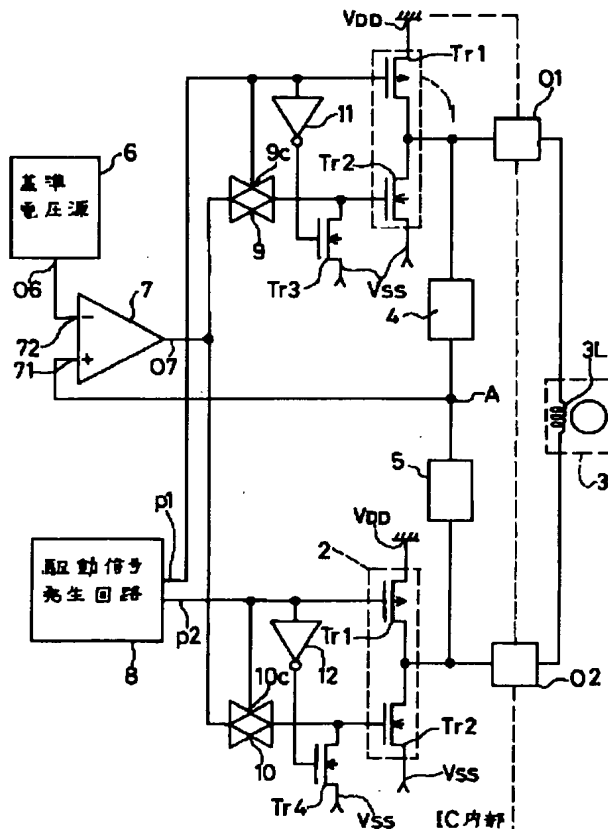
れている。

【0027】さらに、モータ 3 の駆動電圧の midpoint 電圧を基準電圧と比較するため、比較回路 7 も 1 つで済み、比較回路を設けることに伴うチップサイズおよび消費電流の増加を極力抑えることも可能である。

【0028】

【発明の効果】本発明は、直列に接続され、負荷に並列に接続された一対のインピーダンス素子の各インピーダンス素子の接続点の電圧と基準電圧を比較し、これに応じて負荷の駆動電圧を制御するものである。このため、電源電圧の変動によらず、常に所望の駆動電圧が得られ、電池を電源に用いる際に問題となる電源電圧の低下の影響を抑えることができる。また、駆動電圧を制御する*

【図 1】



8

* するため、電源電圧が高い際は必要以上の電力消費を抑えることとなり、消費電力を低減させることとなる。

【図面の簡単な説明】

【図 1】 本発明の一実施例の構成を示す電気回路図。

【図 2】 図 1 の要部の構成を示す電気回路図。

【図 3】 図 1 の要部の構成を示す電気回路図。

【図 4】 図 1 の動作説明のための波形図。

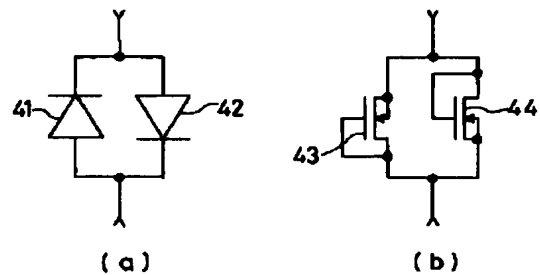
【図 5】 従来例を示す電気回路図。

【図 6】 図 6 の動作説明のための波形図。

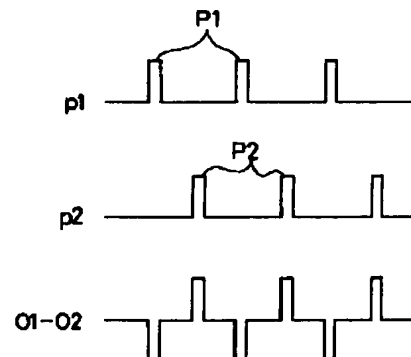
【符号の説明】

- | | |
|------|------------------|
| 1 | 第 1 の直列回路 |
| 2 | 第 2 の直列回路 |
| Tr 1 | 第 1 の MOS トランジスタ |
| Tr 2 | 第 2 の MOS トランジスタ |
| 3 | モータ (負荷) |
| 4、5 | インピーダンス素子 |
| 7 | 比較回路 |
| 8 | 駆動信号発生回路 |
| 9 | 第 1 のスイッチング回路 |
| 10 | 第 2 のスイッチング回路 |
| Tr 3 | 第 3 のスイッチング回路 |
| Tr 4 | 第 4 のスイッチング回路 |

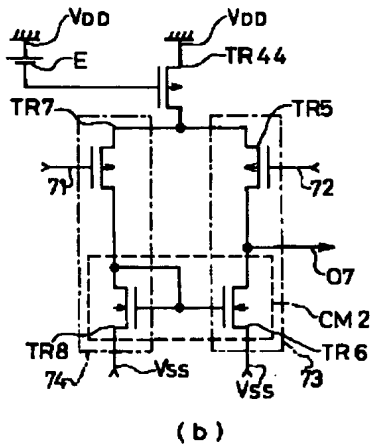
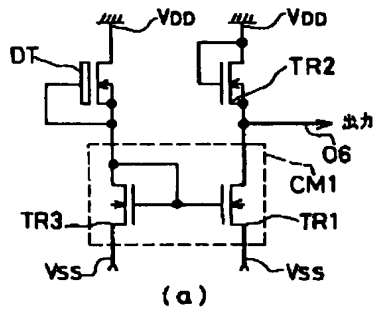
【図 2】



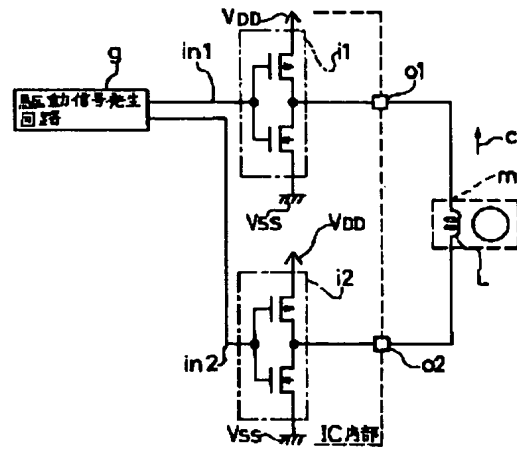
【図 4】



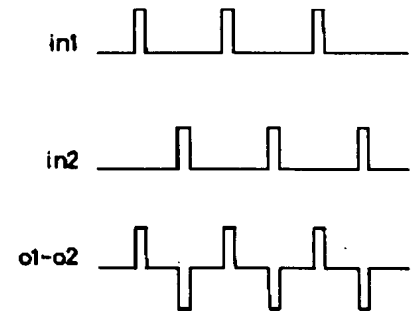
【図 3】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号
9184-5K

F I

H 0 3 K 17/687

技術表示箇所

E